

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-253448

(43)Date of publication of application : 20.10.1988

(51)Int.Cl.

G06F 12/08

G06F 12/08

G06F 15/16

(21)Application number : 62-087133

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.04.1987

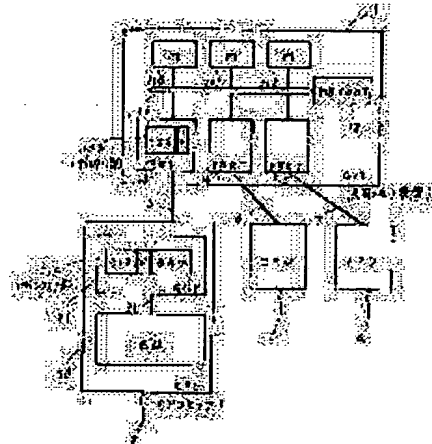
(72)Inventor : TAKATANI SOICHI
MIYAZAKI YOSHIHIRO
FUKUMARU HIROAKI
TAKAHASHI YOSHIAKI

(54) MULTI-COMPUTER DEVICE

(57)Abstract:

PURPOSE: To ensure application of a multi-computer device even to a shared storage device having high throughput by providing a directory having the same contents as those of a cache memory into the shared memory device.

CONSTITUTION: The monitor for replacement of data of a shared memory device GM1 is carried out by an interface port PORT13. Then the PORT13 decides whether an updating address containing a directory part 13a having the same contents as a shared memory interface port GMP21 and to be put on a memory bus 16 is included in said part 13a or not. If so, a memory access suppressing request is delivered to a memory bus controller 12 and a cache memory invalidation address is sent to a CPU2. The CPU2 invalidates the data on a cache memory corresponding to an address. Thus the coincidence is secured between the GM1 and the memory data and the transfer speed of the updating address can be decided regardless of the throughput of the bus 16. Thus the time division transfer of data is also attained. Then a multi-computer device can be applied even to a shared memory device having the high throughput.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-253448

⑪ Int.Cl.⁴

G 06 F 12/08

15/16

識別記号

3 1 0

3 2 0

庁内整理番号

B-7927-5B

E-7927-5B

A-6745-5B

⑬ 公開 昭和63年(1988)10月20日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 マルチ計算機装置

⑮ 特 願 昭62-87133

⑯ 出 願 昭62(1987)4月10日

⑰ 発 明 者 高 谷 壮 一 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
⑱ 発 明 者 宮 崎 義 弘 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
⑲ 発 明 者 福 丸 広 昭 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
⑳ 発 明 者 高 橋 義 明 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 秋本 正実

明 細 書

1. 発明の名称

マルチ計算機装置

2. 特許請求の範囲

1. 複数の処理装置と、該複数の処理装置で共有して使用される共有メモリ装置とを有すると共に、上記複数の処理装置の少なくとも1つに第1のディレクトリを設け、該第1のディレクトリと同一の内容の第2のディレクトリを上記共有メモリ装置内に設けてなるマルチ計算機装置。

2. 複数の処理装置と、該複数の処理装置で共有して使用される共有メモリ装置とを有すると共に、

上記複数の処理装置の少なくとも1つに、共有メモリ装置のアドレスを保持する第1のディレクトリ・該アドレスに対応するデータ部・有効データの有無を示す第1の有効ビット部より成るキャッシュメモリと、該第1の有効ビットを無効化する手段とを設け、

上記共有メモリ装置に、上記第1のディレク

トリと同一内容の第2のディレクトリ・上記第1の有効ビット部と同一内容の第2の有効ビット部・共有メモリ装置への書き込みアドレスが上記第2のディレクトリに保持され且つ対応する有効ビットONしていることを判定する手段・判定結果“成立”時に該書き込みアドレスを対応するキャッシュメモリを有する上記処理装置に報告し、前記処理装置内の無効化する手段を介して有効ビット部の対応するビットを無効化させる指示手段とを設け、

てなることを特徴とするマルチ計算機装置。

3. 上記共有メモリ装置に、前記判定結果“成立”時に対応するキャッシュメモリを有する処理装置への報告が終了するまで、該メモリへのアクセスを抑制させる手段を設けてなる特許請求の範囲第2項記載のマルチ計算機装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の処理装置が1つのメモリ装置を共用するマルチ計算機装置に係り、特に、処理

装置に共有メモリ装置のキャッシュメモリを具備したマルチ計算機装置に関する。

〔従来の技術〕

従来、複数の処理装置に共有されるメモリ装置の高速化のために、各処理装置にそれぞれ固有のキャッシュメモリを具備する場合がある。この場合、ある処理装置のキャッシュメモリに、共有メモリ装置のデータのコピーとして保持しているデータが、他の処理装置の共有メモリ装置への書き込みにより不一致を起こすという問題がある。この問題を解決した例として特開昭49-12020号に記載のシステムが挙げられる。この例では、ある処理装置が共有メモリ装置に書き込みを行なうとき、他の処理装置に更新アドレスを送出する。各々の処理装置では更新アドレスのデータが各自のキャッシュメモリに保持されているかどうかを判定し、保持されている場合は、該当有効ビットをクリアし、更新アドレスのデータを無効化し、共有メモリ装置とキャッシュメモリのデータ不一致を解消している。なお、マルチCPUシステムのキャッ

シメモリ機構の文献としてコンピュータ・アーキテクチャ・アンド・パラレル・プロセッシング（マグローヒル社、1984年発行、第7、3、3項参照）（「Computer Architecture and Parallel Processing」）がある。

〔発明が解決しようとする問題点〕

前記従来例では、以下の問題が発生する。

1. 各処理装置は、報告される更新アドレスが他の複数の処理装置から独立に入力されるため、インターフェースの信号線がぼう大となり、処理装置の多重度が極めて制限されてしまう。これを回避するため、各処理装置に共有メモリ装置から更新アドレスを送出することが考えられるが、分散する処理装置に共有メモリ装置の内部バスと同じスループットでアドレス送出手続きでは、スループットの高い共有メモリ装置を構成できない。
2. 各処理装置が受ける更新アドレスは共有メモリ装置のスループットと同じ速度で与えられ、その度毎にキャッシュメモリの読み出しを行な

い、該当アドレスのデータが保持されているかどうかの判定を行なわなければならない。本来、処理装置内部のデータ処理でのキャッシュメモリへのアクセスが制限されてしまう（更新アドレスの判定中は、内部データ処理のキャッシュメモリへのアクセスは抑止しなければならない）。

本発明の目的は、上記問題点を解消し、スループットの高い共有メモリ装置にも適用可能なマルチ計算機装置を提供することにある。

〔問題を解決するための手段〕

本発明は、処理装置内部のキャッシュメモリのディレクトリと同一内容のディレクトリを共有メモリ装置内に設けた。

〔作用〕

上記ディレクトリを共有メモリ装置内に設けたことによって、共有メモリ装置内部のメモリバスを監視し、メモリを更新する際、そのアドレスがディレクトリに存在するかどうかを判定し、存在した場合のみ、該ディレクトリに対応するキャッ

シメモリを有する処理装置に更新（書き込み）アドレスを報告する。各処理装置は更新アドレスの報告があるときのみ、内部データ処理によるキャッシュメモリアクセスを抑止し、更新アドレスに対応する有効ビットをクリアする。また、共有メモリ装置は更新アドレスを処理装置に報告している間次のメモリアクセスを抑止する。

〔実施例〕

第2図はマルチ計算機装置の全体構成を示す。このマルチ計算機装置は、複数のプロセッサ（CPU）2、3、4と、共有メモリ装置（GM）1とを有し、各CPU2、3、4とGM1とはインターフェース5、6、7を介して接続されている。CPU2、3、4はGM1を時分割で共有して使用する。

第3図はCPU2の内部構成を示す。他のCPU3、4も同じ構成より成る。CPU2は、共有メモリインターフェース部（GMP）21と演算ユニット50より成る。GMP21はインターフェース5と演算ユニット50との間に設けて

ある。演算ユニットは、メモリ制御ユニット (MCU) 23、主記憶装置 (PM) 24、I/O制御装置 (IOADPT) 25、基本処理装置 (BPU) 22、ファイル制御プロセッサ (FCP) 26、I/O制御プロセッサ (IOP) 26、内部共通バス34、ファイル装置27より成る。

BPUは命令を実行するユニットであり、命令のリード及びデータのリード/ライトをバス30を通してMCU23に要求する。

MCU23はバス31、32、33を通して、それぞれGMP21、PM24、IOADPT25に接続される。IOADPTはバス34を通してFCP26及びI/O制御プロセッサ26に接続される。FCP26はバス35を通してファイル装置27に接続される。GMP21はGM1へのアクセスを制御する装置であり、インターフェース5を通してGM1へ接続される。

このCPU2では、演算ユニット50が所定の演算を行う。その際、GMP21内のデータも演算に供する。PM24はデータ等の格納に使用さ

れる。ファイル装置27やIOP28かとのデータのやりとりは、バス34、IOADPT25、MCU23を介してBPU22が行う。またGM1の間では、GMP21が介在し、中継を行う。このGMP21はキャッシュメモリを内部に持つ。

第4図はGM1の内部構成例を示す。CPU2〜4は、インターフェース5〜7を通してそれぞれインターフェースポートPORT13〜15に接続される。PORT13〜15はメモリバス16を通してメモリ(M)110〜112へリードアクセス及びライトアクセスを行なう。メモリバスコントローラ(MB CONT)12はPORT13〜15がメモリバス16を通して要求するアクセスの占有権制御を行なう。

さて、第1図は本発明の実施例を示す。本実施例は、第3図と第4図とを合体させた図であり、この図の中で特徴は、CPU2内のGMP21でのディレクトリ部21a (従来公知) に対向できるディレクトリ部13aをGM1内のPORT13に設けた点にある。

更に、構成に沿って説明する。

第1図において処理装置 (CPU) 2の演算ユニット内部実行ユニット (EU) 50は通常、共有メモリインターフェースポート (GMP21) 内のキャッシュメモリを使用してデータ処理を行ない、他の処理装置 (CPU3、CPU4) からの共有メモリ装置のデータ更新の監視はインターフェースポート (PORT) 13が行なう。PORT13は、内部にGMP21内キャッシュメモリと同一内容のディレクトリ部13aを有し、メモリバス16にオンバスされる更新アドレスがディレクトリ部13aに存在するかどうかの判定を行なう。従って、処理装置内部のデータ処理と共有メモリ装置のデータ更新監視が並列処理可能となる。また、PORT13はディレクトリ部13aに更新アドレスが存在した (以後ヒットと称す) と、バス16を通してメモリバスコントローラ (MB CONT) 12へメモリアクセス抑止の要求を出し、CPU2に対してキャッシュメモリ無効化要求及び無効化アドレスをインター

フェース5を通じて送出する。CPU2は報告されたアドレスに対応するキャッシュメモリのデータを無効化する。こうすることにより、共有メモリ装置とキャッシュメモリのデータ的一致が保障される。また、PORT13内のディレクトリに更新アドレスがヒットする確率は低いと考えられ (通常、複数の処理装置が同一エリアを広く使用する処理は少ない)、更新アドレスの処理装置へ伝送速度を遅くしてもメモリバス16を抑止する期間の割合は十分小さいことになる。このことは、メモリバス16のスループットに関係なく、インターフェース5の更新アドレス伝送の速度を決定できることを意味する。また、更新アドレスの時分割伝送も可能であり、インターフェースの信号線の増設も可能となる。

第5図は、GMP21の内部構成例の詳細を示す。MCU23との接続バス31の内容を以下に示す。2100はアドレスバス、2103はリードデータバス、2104はライトデータバス、2101はアクセス要求信号及びリード又はライ

トの識別信号、2102はアクセス終了応答信号である。MCU23からリードアクセスがあつた場合、アドレス2100の下位ビットにより、キャッシュメモリのディレクトリ211、有効ビット部(V)212及びデータ部213をアクセスする。比較器(COMP)214はディレクトリ211から読み出されたデータ2105とアドレス2100の上位ビットを比較し、一致した場合、信号線2117をONする。V212は有効なデータがあれば信号線2118をONする。2117及び2118が共にONのとき、信号線2110がONし、キャッシュメモリにアドレス2100に対応するデータがあつたことをコントローラ216に報告する。コントローラ216は信号線2110がONすると、信号線2102をONさせ、データ部213から読み出されたデータを信号線2103を通してMCU23に送す。又、信号線2110がOFFの場合、有効なデータがキャッシュメモリにないため、コントローラ216は信号線2114を通じてGM1にリードアクセス要求を送出する。

ロックアドレス(アドレス全体の下位ビット)である。信号線2113がONのときコントローラ216は、ブロックアドレス2112をアドレスレジスタ(AR)217に取り込み、AR217の出力信号2106にてアドレス指定して信号線2108をONして該当する有効ビットをクリアする。このとき、MCU23からのアクセスに対してアクセス終了応答2102を抑制する。

第6図にPORT13の内部構成を示す。CPU2から、信号線2114を通してリードアクセス要求がコントローラ133に入力された場合、信号線1308によりメモリバス占有要求をHBCONT12に出力する。バス占有許可信号1309がONしたとき、CPU2からのアドレス信号2100をアドレスバス1313に出力すると共に信号線1308をOFFし、リード要求信号1307をONする。さらにアクセス終了応答1300がONしたとき、CPU2への終了応答信号2115をONすると共に読み出しデータを信号線1304、2116を通してCPU1へ送

2115はGM1からのアクセス終了応答であり、2115がONのとき、GM1からの読み出しデータがリードデータバス2116にオンバスされており、コントローラ216はリードデータレジスタ(RDR)218にデータを取り込んだ後キャッシュメモリのデータ部213にRDR218の出力を信号線2107を通して書き込む、また、同時にディレクトリ211にアドレス2100の上位ビットを読み込み、信号線2109をONしてV212の該当ビットをONする。また、MCU23から、信号線2101を通してライトアクセス要求があつた場合、コントローラ216はGM1に対して信号線2114を通じてライトアクセス要求を送出する。このときライトデータは、信号線2104、2116を通してGM1へ送出される。また、キャッシュメモリにヒットして信号線2110がONしている場合、信号線2104のデータをデータ部213へ書き込む。信号線2113はGM1からのデータ無効化要求信号であり、信号線2112は無効すべきキャッシュメモリのブ

出する。またディレクトリ131にアドレス上位を読み込み、有効ビット部の該当ビットをセットする。その後、信号線1308及び2115をOFFする。またCPU2から信号線2114を通してライトアクセス要求がコントローラ133に入力された場合、信号線1308によりメモリバス占有要求をHBCONT12に出力し、バス占有許可信号1309がONしたとき、CPU2からのアドレス信号2100をアドレスバス1313に出力すると共にCPU2からのライトデータ信号2116をライトデータバス1304に出力し、信号線1308をOFFし、ライト要求信号1312を通してライト要求信号1306に出力する。さらにアクセス終了応答1300がONしたとき、信号線2115を通してアクセス終了をCPU2へ報告する。

ディレクトリ131及び有効ビット部(V)134はメモリバス16のアドレス信号2112の下位アドレスにて読み出し、それぞれ信号線1301、1302に出力される。比較器(COMP)

132は、信号線2112の上位アドレスとディレクトリ出力信号1301を比較し一致のとき、信号線1314をONする。信号線1302及び1314が共にONした場合CPU2のキャッシュメモリにメモリバス16上でアクセスされているアドレスのデータが存在することを示し、信号線1303がONする。このとき、メモリバス上アクセスがライトアクセスならば信号線1306、1311ONする。コントローラ133は信号線1303及び1311が共にONし、かつ現在自分自身のアクセスでない場合、データ無効化要求信号2113を送出する。このとき無効化すべきブロックアドレスは信号線2112にてCPU2へ送られる。また同時に、メモリアクセス抑止信号1310をONする。またV134の該当するビットを無効化する。以上のように共有メモリ及び処理装置のディレクトリは共有メモリからのデータ読み出し時に共にセットし、他処理装置の書き込み時共にクリアするため常に一致が保障される。

第7図はキャッシュメモリの構成を示す。本実

施例は、1エントリ4Bytesのセットアソシアティブ方式のキャッシュメモリであり、全体で1024エントリ(4KBytes)の容量を持つ。また、ディレクトリ部211、有効ビット部(V)212、データ部213は同一のRAM(Random Access Memory)により構成され、アドレス下位(AL)により、対応するエントリのディレクトリ部、有効ビット部、データ部のデータが読み出される。この第7図を用いて第5図のキャッシュメモリの動作を説明する。

第5図において、キャッシュからデータを読み出す場合、アドレス2100(AU, ALから構成される)の下位ビット(AL)によりエントリの1つが選択され、そのエントリに記憶されているデータのアドレス上位がディレクトリ部から2105に送出され、COMP214により、アドレス上位(AU)と2105のデータが比較される。比較結果が一致し、かつ、有効ビット部(V)から読み出されたデータ2118が“1”のとき、データ部から読み出された2103が有

効である(キャッシュヒットと称す)。

キャッシュにデータを書き込む場合、アドレス2100の下位(AL)によりエントリを選択し、ディレクトリ部には2100の上位(AU)を、有効ビット部には、“1”を、データ部には送込データを入力する(有効ビット部は信号線2108がONすることにより入力データに“1”が選択される)。

信号線2113がONのとき、キャッシュを無効化するがこの場合はアドレス2106(このアドレスは32ビットアドレスの下位のみである)によりエントリを選択し、有効ビット部の入力データに“0”を入力して書き込む(有効ビット部は信号線2108がONすることにより入力データ“0”が選択される)。

〔発明の効果〕

本発明によれば、処理装置内部データ処理に影響を与えない共有メモリのキャッシュメモリが構成でき、かつ、スループットの高い共有メモリ装置にも適用可能となる。

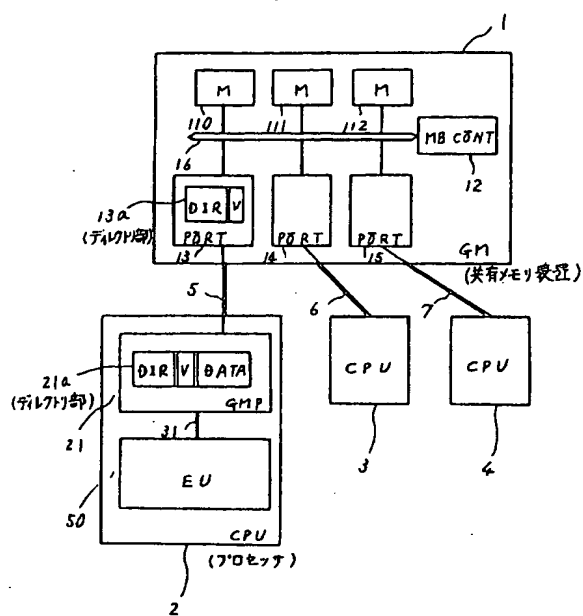
4. 図面の簡単な説明

第1図は本発明の実施例図、第2図は本発明の適用される共有計算機装置の全体構成例図、第3図はCPU2の内部構成例図、第4図はGM1の内部構成例図、第5図はGMP21の実施例図、第6図はPORT13の実施例図、第7図はキャッシュメモリの詳細例図である。

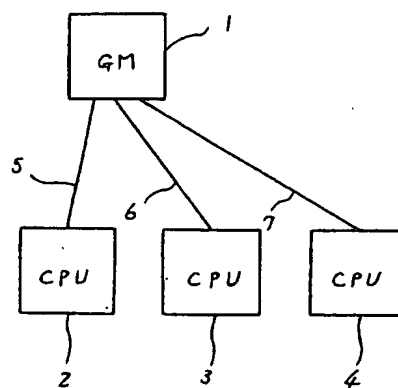
1…共有メモリ装置(GM)、2, 3, 4…プロセッサ(CPU)、13, 14, 15…ポート(PORT)、13a, 21a…ディレクトリ部、

代理人 井理士 秋本正実

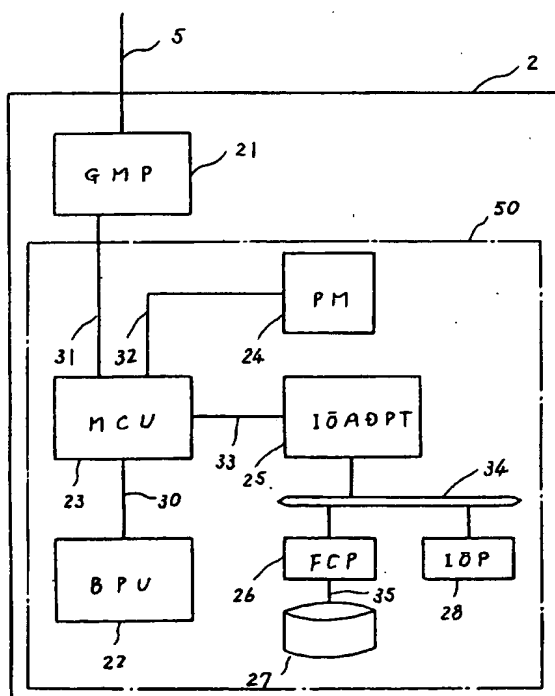
第 1 図



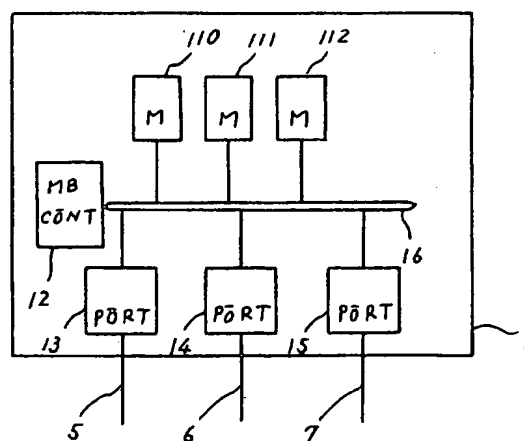
第 2 図



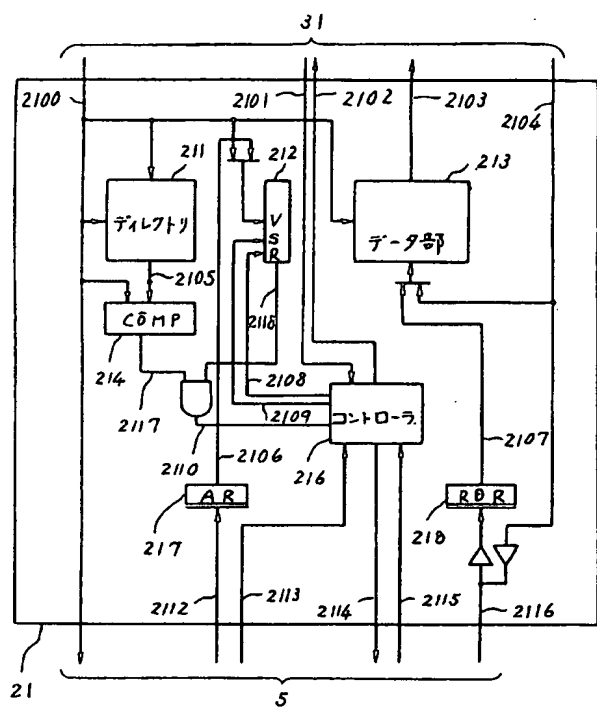
第 3 図



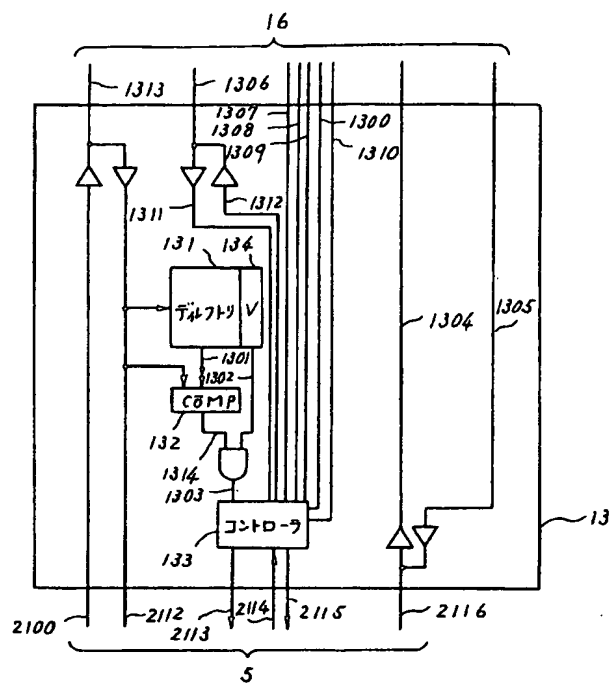
第 4 図



第 5 圖



第 6 回



第 7 回

